

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-081356

(43)Date of publication of application : 16.05.1983

(51)Int.Cl.

H04L 1/10
// H04L 27/00

(21)Application number : 56-179001

(71)Applicant : KOKUSAI DENSHIN DENWA CO LTD
<KDD>

(22)Date of filing : 10.11.1981

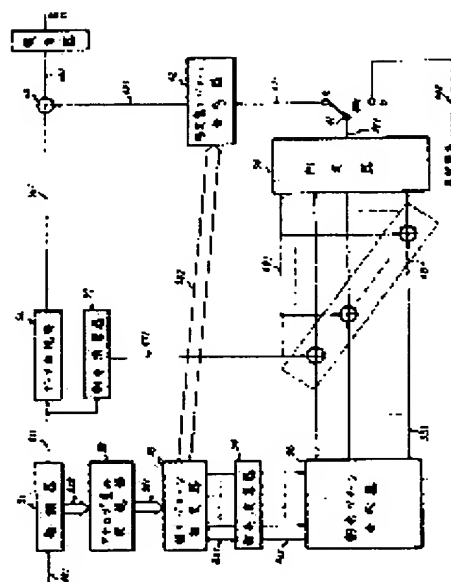
(72)Inventor : KOBAYASHI HIDEO
YANAGIDAIRA HIDETAKA
KAWAI KAZUO

(54) ERROR CONTROL SYSTEM

(57)Abstract:

PURPOSE: To perform not only error detection, but also error correction of an error-detected frame, by using information before a decision on a received signal, i.e. analog weight, by adding a simple circuit to an ARQ demodulator and an error detector.

CONSTITUTION: A demodulator 51 strictly discriminates a received signal and also extracts the analog weight of every element. The extracted analog weight is applied to an analog weight storage part 52 to store the increasing-order number of pieces of analog weight information and current reception decision results. On the basis of the reception decision result of an element with small analog weight, an error pattern estimating device 53 estimates an error bit pattern. A remainder arithmetic device 54 divides the polynomial of the obtained bit error pattern by a generating polynomial $G(x)$ to find a current remainder. A remainder pattern composing device 55 composes a remainder by using said remainder. A deciding device 59 finds a pattern with a remainder 0 in the sum of the remainder of the composing device 55 and that of the remainder arithmetic device 57 and when the pattern with a remainder 0 is not found, a request to resend is sent to a transmission side through a line 602.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58—81356

⑫ Int. Cl.⁹
H 04 L 1/10
H 04 L 27/00

識別記号

庁内整理番号
6651—5K
7240—5K

⑬ 公開 昭和58年(1983)5月16日

発明の数 1
審査請求 未請求

(全 7 頁)

⑭ 誤り制御方式

23号国際電信電話株式会社研究
所内

⑮ 特 願 昭56—179001

⑯ 発 明 者 川井一夫

⑰ 出 願 昭56(1981)11月10日

東京都目黒区中目黒2丁目1番
23号国際電信電話株式会社研究
所内

⑱ 発 明 者 小林英雄

東京都目黒区中目黒2丁目1番
23号国際電信電話株式会社研究
所内

⑲ 出 願 人 国際電信電話株式会社

東京都新宿区西新宿2丁目3番
2号

⑳ 発 明 者 柳平英孝

東京都目黒区中目黒2丁目1番

㉑ 代 理 人 弁理士 山本恵一

明 細 書

1. 発明の名称

誤り制御方式

2. 特許請求の範囲

送信側においては送信すべき情報データを誤り検出符号でブロック符号化した後変調して通信路に送出し、受信側では受信信号を復調して受信判定データを得、該受信判定データのブロック毎に誤り検出を行い、誤りを検出したブロックについては送信側に再送要求をすることによって誤りを制御するとき誤り制御方式において、

前記受信信号を復調する際に受信信号の復号前のアナログ情報を少なくとも1ブロック分記憶し、前記誤りを検出したブロックに対しては該ブロックに対応する前記アナログ情報を用いて誤りビットパターンを推定し、誤推定誤りビットパターンに誤り検出手段を施すことにより該推定誤りビットパターンの中に前記通信路上で起つた誤りビットパターンと同一のビットパターンが存在するかどうかを検査し、存在する場合には前記推定誤りビ

ットパターンを基に前記受信判定データを制御して誤りを訂正し、存在しない場合には送信側に当該ブロックの再送要求を行うことを特徴とする誤り制御方式。

3. 発明の詳細な説明

本発明は、データ伝送回路での誤り制御方式に関するものである。

データ伝送では、信頼度の高い情報を能率的に伝送するため、回線雑音などの通信路上の妨害によつて生じる誤りから情報を守る必要がある。このためデータ通信システムでは、何らかの形で必ず誤り制御を行つている。誤り制御の方法としては、自動再送要求方式 (ARQ) や単方向誤り訂正方式 (FEC) などがある。

現在広く利用されているものは、ARQ方式である。これは、復元化が容易であること、及び FEC などに比べ信頼性も圧倒的に優れているなどの点からである。

しかし、ARQ方式は、1フレームの中に1ビットでも誤りが発生すると1フレームすべてを再

特開昭58- 81356(2)

送しなければならず、比効率的であるという欠点を有する。この欠点を補うため従来から、受信側で誤り訂正できる誤りはすべて訂正し、訂正できない誤りのみ送信側から再送してもらおうという、ARQ方式とFEC方式の中間に位置するハイブリッド方式が提案されている。しかしながら、ハイブリッド方式での誤り検出能力は、検出に専念する符号と比べると劣り、しかも誤り訂正する機能が付加されるために装置のハードウェアも複雑になるという欠点があった。

また、現在広く使用されているFSK方式やQAM方式などのディジタル変復調方式では、復調器の長期安定度と高品質な位相修正ループを持たせるために入力データ情報を差動符号化している。差動符号化を行うと、1エレメントの誤りは2エレメントの誤りに波及することから、たとえグレイ符号化をほどこしたとしても最低2ビットの誤りが発生する。従つて、1フレーム内の1エレメントの誤りは2ビット、12エレメントの誤りは4ビットの誤りとなり、誤り訂正機能として

FEC方式やハイブリッド方式を適用しようとした場合、誤り訂正能力のすぐれた符号化を行わなければならない筈、このため復号器の規模は非常に複雑化することになる。

本発明は、上述した従来技術の欠点を解決するものであり、従来のARQ方式で用いている復調器に簡単な周辺回路を付加して、従来の誤り検出能力の他に、誤り訂正能力を持たせることが可能となる誤り制御方式を提供することを目的としている。

この目的を達成するための本発明の特徴は、受信信号を復調する際に受信信号の復号前のアナログ情報を少なくとも1ブロック分記憶し、前記誤りを検出したブロックに対しては、該ブロックに対応する前記アナログ情報を用いて誤りビットパターンを推定し、誤推定誤りビットパターンに誤り検出手段を施すことにより、該推定誤りビットパターンの中に通信路上で起つた誤りビットパターンと同一のビットパターンが存在するかどうかを検査し、存在する場合には推定誤りビットパター

ンを基に受信判定データを制御して誤りを訂正し、存在しない場合には送信側に当該ブロックの再送要求を行うことにより誤り制御方式にある。

以下、図面により詳細に説明する。第1図は、従来のARQ方式の概念図を示す。本発明は5の復調器、6の誤り検出器に関わるものである。ここで、従来のARQ方式について若干の説明を行う。1は情報源である。2の符号化器では、1からのkビットの情報に生成多項式より決定できる(n-k)ビットの検査ビットを含むブロック符号化を行う。送信符号列をF(x)とすると、P(x)はkビットの情報と(n-k)ビットの検査ビットより構成され、次式のように表わされる。

$$\begin{aligned} P(x) &= M(x) \cdot x^{n-k} + R(x) \\ &= G(x) \cdot Q(x) \end{aligned} \quad \text{..... (1)}$$

但し、M(x)は(k-1)次以下の情報多項式であり、G(x)は検査ビットを作成する生成多項式である。Q(x)はM(x)・x^{n-k}をG(x)で割った時の商であり、R(x)はその時の剰余すなわち検査ビットを示す。又、M(x)、R(x)は、入力データ情報a₀～a_{k-1}、検査

ビットb₀～b_{n-k-1}を使うことにより次式によって表わされる。

$$M(x) = a_0 + a_1x + a_2x^2 + \dots + a_{k-1}x^{k-1} \quad (2)$$

$$R(x) = b_0 + b_1x + b_2x^2 + \dots + b_{n-k-1}x^{n-k-1} \quad (3)$$

従つて、送信符号列P(x)はG(x)で割り切れるように情報符号列M(x)に検査ビットR(x)を付加していることになる。今、4の伝送路上で雑音によつて誤りを受けるとすると、その時の誤り符号列E(x)は次式で表わされる。

$$E(x) = e_0 + e_1x + e_2x^2 + \dots + e_{n-1}x^{n-1} \quad (4)$$

但し、e_iは、i番目のビットが誤っている場合は1であり、誤っていない場合は0である。従つて、式(4)を使うことにより受信符号列F'(x)は次式によつて表わされる。

$$F'(x) = P(x) + E(x) \quad \text{..... (5)}$$

次に受信符号列F'(x)は6の誤り検出器において、生成多項式G(x)で割り切れるかどうかで受信ブロックの中の誤りの有無が検査される。剰余が0であればそのフレーム内には誤りがないことがわかり、そのまま7の復号器に出力される。もし剰余が0

でない場合は、フレーム内に誤りがあることから再送要求を602の補送路を通して送信側へ送る。このような操作により信頼度の高いデータ伝送が実現できる。しかし、以上述べたような方式では、例えば、1フレーム1000ビットで構成されているとすると、その中の1ビットの誤りに対しても1フレーム分すなわち1000ビットの再送をしなければならなかった。

本発明は、以下に述べるような誤りエレメントとその時の受信信号状態との相関性を利用することにより3～4ビット程度までの誤りを訂正し、上配欠点を補うものである。又、本発明の装置も比較的容易である。

3の復調器では、受信信号の判定はスレッショールドを境に1か0かだけを決定するHard Decision（硬判定）であり、判定前の受信信号の持ついるアナログ情報は考慮してゐなかつた。

しかし、伝送路が白色雑音でモデル化できるような例えば衛星回線などのような場合、誤りとその時のアナログ情報とは非常に大きな相関がある。

り検出能力とを併用することにより誤り訂正を行うものである。すなわち、硬判定によるフレーム単位のデータを誤り検出器を用いてフレーム内の誤りの有無を検査し、誤りがなければそのまま復調データとして出力し、誤りが存在することが誤り検出器により検出されれば、以下のような操作を行い誤り訂正を行う。

nビットのアナログ重みの中から最も小さいビット、2番目、3番目に小さいビットなどに対応する次数の e_i を1とおくことによつて、式(4)のような誤りパターンを作成する。例えば、2個の最も小さいアナログ重みを考慮する場合、これに対応する次数を m_1, m_2 とすると、推定誤りパターンは次式で表わされる。

$$\left. \begin{aligned} E_1(x) &= x^{m_1} \\ E_2(x) &= x^{m_2} \\ E_3(x) &= x^{m_1} + x^{m_2} \end{aligned} \right\} \dots\dots\dots (6)$$

又、考慮するアナログ重みの数を m_1, m_2, m_3 の3個を考え、その中で2ビットまでの誤りだけを訂正するような場合の推定誤りパターンは、次式

特開58-81356(3)

ここでアナログ情報とは、受信信号レベルからいちばん近い判定スレッショールドまでの距離のことである。従つて、その距離が短いほど受信信号は誤っている確率が大きく、逆に距離が長いほど受信信号は正しく受信されている確率が大きいことになる。以後、アナログ情報を表わす距離のことをアナログ重みと呼ぶ。

第2図に誤りと、その時のアナログ重みとの関係を2組の場合について計算した結果を示す。第2図は、nビットの受信信号を硬判定し、その中にmビットの誤りが発生したとし、その時mビットの誤りビットの持つアナログ重みがn個のアナログ重みの中で小さい方から数えてM番目までの中にすべて含まれている場合の確率を $m \leq 3, M \leq 10, M \geq m$ について計算した結果である。図からわかるように、 S/N （信号電力対雑音電力比）がある程度高い所では、誤りビットとその時のアナログ重みとの間には非常に大きな相関があることがわかる。

本発明では、このアナログ重みと符号の持つ誤

のように表わされる。

$$\left. \begin{aligned} E_1(x) &= x^{m_1} \\ E_2(x) &= x^{m_2} \\ E_3(x) &= x^{m_3} \\ E_4(x) &= x^{m_1} + x^{m_2} \\ E_5(x) &= x^{m_1} + x^{m_3} \\ E_6(x) &= x^{m_2} + x^{m_3} \end{aligned} \right\} \dots\dots\dots (7)$$

次に、式(5)で表わされる硬判定復調データ $F(x)$ に式(6)、(7)などのように表わされる推定誤りパターンをそれぞれたし込むことにより得られる $F^*(x)$ は、次式によつて表わされる。

$$F^*(x) = F(x) + E(x) + E_i(x) \dots\dots\dots (8) \\ (i = 1 \sim \ell)$$

ここで、もし伝送路上で起こる誤りパターン $E(x)$ と同じものが $E_i(x)$ の中にあるとすると、 $F^*(x)$ は次式の関係より $F(x)$ の送信データ列となり、誤り訂正ができたことになる。

$$E(x) \oplus E_i(x) = 0 \dots\dots\dots (9)$$

$$F^*(x) = F(x) \dots\dots\dots (10)$$

もし、 $E_i(x)$ の中に $E(x)$ と同じものがない場合に

は、 $\{E_1(x) + E_2(x)\}$ が $G(x)$ で割り切ることができず剰余が出て、誤り訂正ができなかつたことがわかる。この場合は、従来の ARQ 方式と同様に送信側に再送要求を行う。

ここで、本発明の誤り訂正を行うことによる誤り検出能力の劣化度について述べる。

例えば、 $(n-k)$ 次の生成多項式により得られる最小距離 4 のハミング符号を誤り検出符号として用いた場合、誤り検出器で誤りが検出されない割合は、 $\frac{1}{2^{n-k-1}}$ 以下である。従つて、上述したような手法で誤り訂正を行った場合の誤り検出能力は、次式によつて表わされる。

$$P = \frac{(d+1)}{2^{n-k-1}} \quad \dots\dots\dots 00$$

但し、 d は推定誤りパターン数を示す。従つて、 d が小さい場合は、ほとんど誤り検出能力を劣化することなく誤り訂正が可能となる。

第 3 図に本発明によるブロック誤り率の計算結果（曲線(b)）を示す。計算例は、 $n=1000$ 、 $n-k=16$ 、 $d=6$ の場合について示す。又、図中に

特開第 58- 81356 (4)

は従来のブロック誤り率（曲線(a)）も合わせて示す。図より $8/N=10$ dB で比較すると、本発明の手法は、従来の手法に比べて、ブロック誤り率は約 3000 倍程度改善されていることがわかる。

又、これは、本手法を Selective Repeat ARQ 方式、SETRAN ARQ 方式、Go-Back-N ARQ 方式に適用した場合のスループット特性（伝送効率）で比較すると第 4 図のようになる。第 4 図で実線(a)は従来の Selective Repeat ARQ 方式の特性、黒点(b)はこの ARQ 方式に本発明を適用した場合の特性、点線(c)は従来の SETRAN ARQ 方式の特性、×点はこの ARQ 方式に本発明を適用した場合の特性、1 点線(d)は従来の Go-Back-N ARQ 方式の特性、白点はこの ARQ 方式に本発明を適用した場合の特性である。なお第 4 図の各グラフで、応答遅延ブロック数 N （誤りが発生した時からのばつて再送するブロックの数）は、 $N=128$ である。第 4 図より、本発明の適用により、各 ARQ 方式共にスループット特性が大幅に改善されることがわかる。

次に本発明による一実施例について説明する。

第 5 図に本発明の受信部の概略図を示す。51 の復調器では、受信信号を従来の復調器と同様に復調・判定する操作と同時にエレメントごとのアナログ重みを取り出す操作を行う。52 のアナログ重み記憶部では、アナログ重みを小さい順に何個かと、その時の受信判定結果を記憶する。53 の誤りパターン推定器では、52 で得られたアナログ重みの小さいエレメントの受信判定結果から誤りビットパターンを推定する。ここで推定する誤りビットパターンは、式(6)では $E_1(x)$ 、 $E_2(x)$ 、式(7)では $E_1(x)$ 、 $E_2(x)$ 、 $E_3(x)$ などのように 1 エレメント分だけよい。54 の剰余演算器では、53 で得られた誤りビットパターンの多項式を生成多項式 $G(x)$ で割り、その時の剰余を求める。55 の剰余パターン合成器では、54 で得られた剰余を使つて式(6)の $E_1(x)$ 、式(7)の $E_2(x)$ 、 $E_3(x)$ に相当する誤りビットパターンを $G(x)$ で割つた時の剰余を合成する。これは、次式の関係を使つて合成している。

$$E_3(x) = x^{12} + x^{11} \quad \dots\dots\dots 02$$

$$\begin{aligned} E_3(x)/G(x) &= Q_{m_1}(x) + Q_{m_2}(x) \\ &+ \frac{R_{m_1}(x) + R_{m_2}(x)}{G(x)} \quad \dots\dots\dots 03 \end{aligned}$$

但し、 $Q_{m_1}(x)$ 、 $Q_{m_2}(x)$ は x^{m_1} 、 x^{m_2} をそれぞれ $G(x)$ で割つた時の商であり、 $R_{m_1}(x)$ 、 $R_{m_2}(x)$ はその時の剰余である。従つて $E_3(x)$ を $G(x)$ で割つた時の剰余は、独立に $E_1(x)$ 、 $E_2(x)$ を $G(x)$ で割つた時の剰余の和になつてゐる。これより、55 の剰余パターン合成器では、式(6)に相当するすべての誤りパターンについての剰余が求まつたことになる。

56 のデータ記憶部では、1 フレーム分の復判定データを蓄える。57 の剰余演算器では、1 フレーム分の復判定データ符号列を $G(x)$ で割つた時の剰余を求めている。58 の判定器では、55 より得られる剰余と 57 より得られる剰余の和の中から 0 となる剰余パターンを見つけ出す回路であり、もし、剰余の和が 0 となる剰余パターンが存在しない場合は 61 の SW を b 側にし、再送要求を 602 を通じて送信側へ送る。又、0 となる剰余パターンが存在する時は 61 の SW を a 側にし、55 の剰余パター

ン合成器から出力されているどのパターンかの情報を出力する。62の推定誤りパターン合成器では、式(6)、(7)に相当する誤りパターンすべてを合成しており、59の情報からその中の1つを選び出す。これより、伝送路上で発生したと思われる誤りパターンE(x)と同じパターンを選び出すことができる。

次に、63の和算器により式(8)の操作が行われ、式(9)の関係から復判定データは誤り訂正され、復調データとして601を過して復号器に送られる。

本発明は、エレメント単位でアナログ重みを観測していることから、変調器で差動符号化を行つたとしても、53の誤りパターン推定器では、2エレメントにわたる誤りビットパターンを推定することができる。

例えば、同期検波差動4相PSK方式の場合、あるエレメントが誤る時必ず隣りの判定領域で誤っていると仮定すると(8/Nが高い所では、ほとんどこのような誤り方をする)、その時の2エレメントにわたる誤りビットパターンは、以下に

示す4通りだけである。

$$\begin{pmatrix} 0 & 1 & 0 & 1 \\ 0 & 1 & 1 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 0 & 0 & 1 \end{pmatrix} \dots\dots\dots 04$$

同様に、同期検波差動8相PSKの場合は、以下に示す9通りだけである。

$$\begin{pmatrix} 0 & 0 & 1 & 0 & 0 & 1 \\ 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \end{pmatrix} \dots\dots\dots 09$$

従つて、復判定結果とアナログ重みの状態を見ることにより、53で作成する誤りビットパターンは容易に作成できる。

以上詳細に述べたように本発明は、従来のARQ方式の復調器と誤り検出器に簡単な回路を付加するだけで、今まで誤り検出するだけであつたものを、誤り検出されたフレームをアナログ重みとい

う受信信号の判定前の情報を使うことにより、誤り訂正も行うことができる誤り制御方式であるので、簡単な回路により信頼度及び伝送能力の高い通信方式を得ることができる。

4. 図面の簡単な説明

第1図は従来のARQ方式の概略を示す図、第2図は誤りとその時のアナログ重みとの相関を示す図、第3図は本発明によるS/Nに対するブロック誤り率特性を示す図、第4図は本発明を従来のARQ方式に適用した場合のスループット特性を示す図、第5図は本発明による復調器と誤り検出器の一実施例を示す概略図である。

51 ……復調器

52 ……アナログ重み記憶部

53 ……誤りパターン推定器

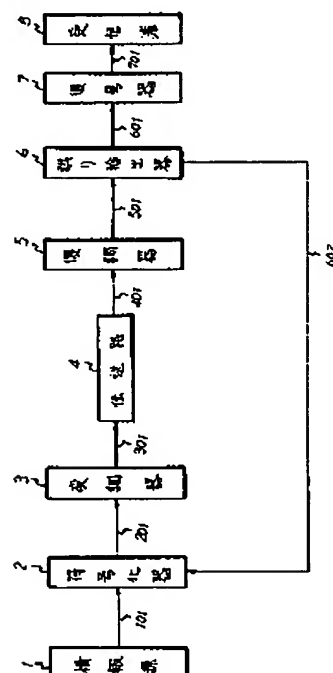
特許出願人

国際電信電話株式会社

特許出願代理人

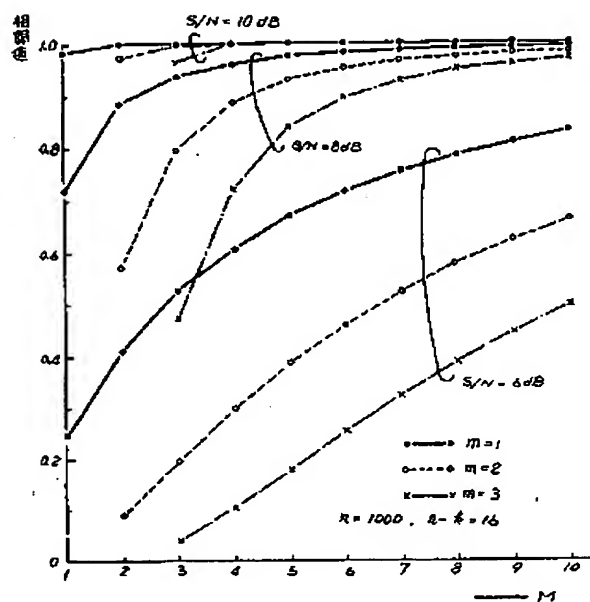
弁理士 山本 忠一

図1

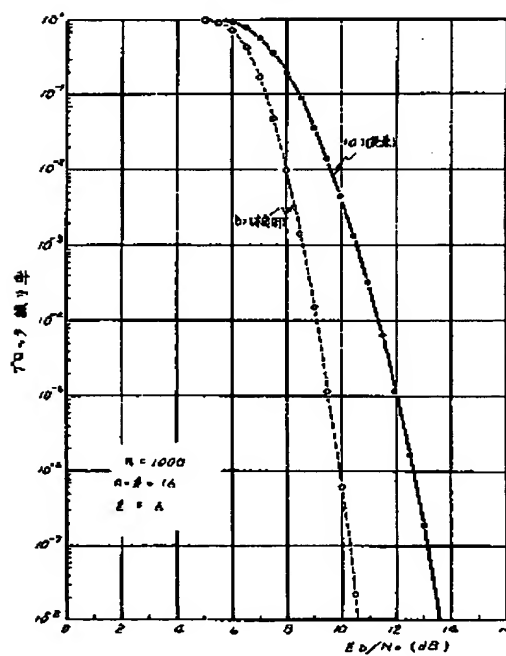


特開昭58- 81356 (G)

第2図

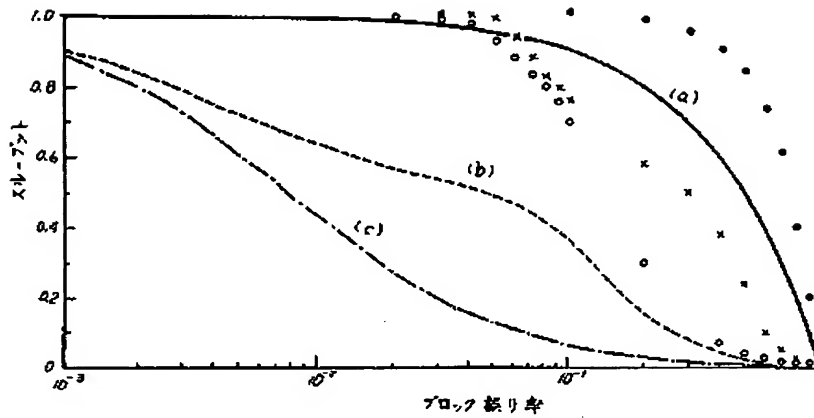


第3図

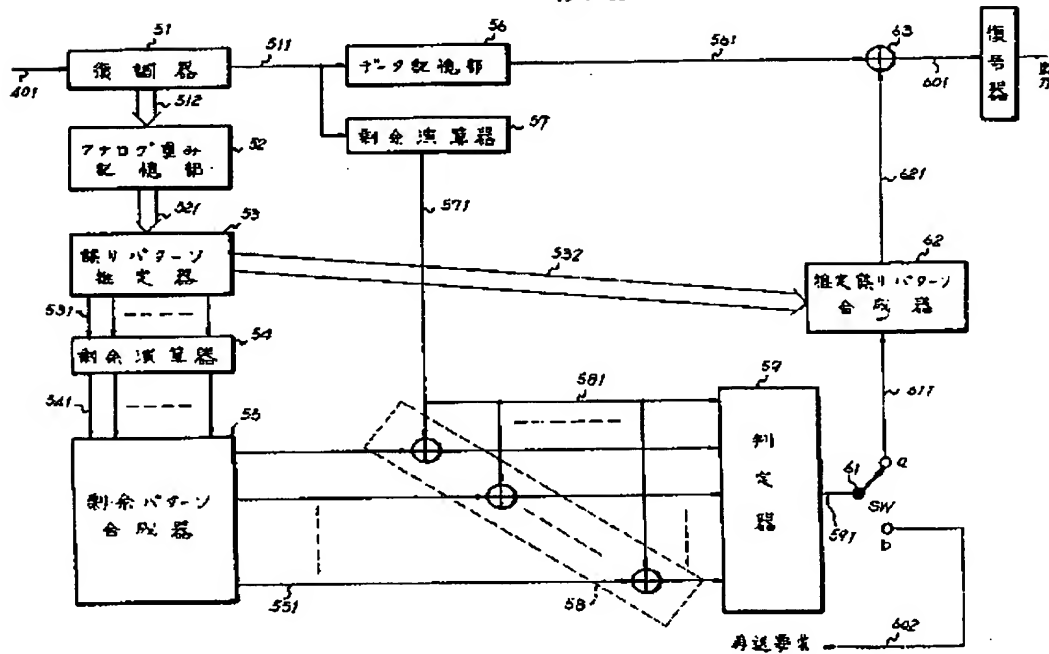


特開昭58- 81356(7)

第4図



第5図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.